

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-298987

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

G11C 11/413

(21)Application number : 11-104788

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.04.1999

(72)Inventor : TOMOYA YUJI

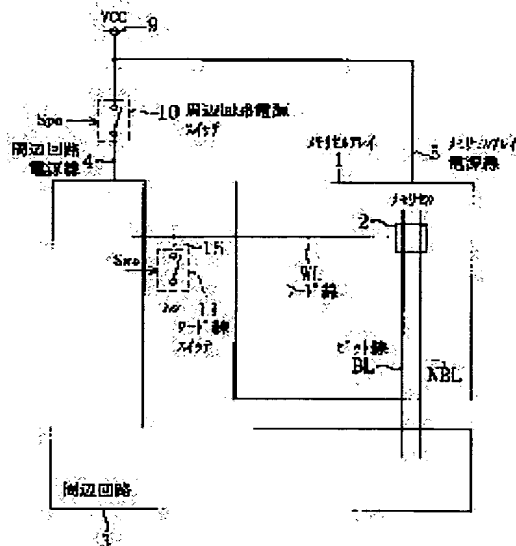
(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory which functions as a RAM in which a off-leak current is reduced and destruction of data can be surely prevented.

SOLUTION: A semiconductor memory is provided with a memory cell array 1, a word line WL, bit lines BL, NBL, a peripheral circuit 3 controlling potentials of a word line WL, bit lines BL, NBL, a peripheral circuit power source line 4 connecting a power source voltage supply terminal 9 and the peripheral circuit 3, a peripheral circuit power source switch 10, a memory cell array power source line 5, a constant voltage supply wiring 15 connecting the word line WL and ground, a word line switch 11 for fixing voltage provided through the constant voltage supply wiring 15, and the like.

Destruction of data of a memory cell 2 caused by transient generated at the time of switching of the switch 10 is prevented by controlling so that a word line switch 11 is made a continuity state and fixing a potential of the word line WL before the peripheral circuit power source switch is switched.



LEGAL STATUS

[Date of request for examination]

29.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3380852

[Date of registration]

13.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-298987
(P2000-298987A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl.⁷
G11C 11/413

識別記号

F I
G11C 11/34

テーマコード(参考)
341A 5B015
301A

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平11-104788

(22) 出願日 平成11年4月13日 (1999. 4. 13)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 友谷 裕司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

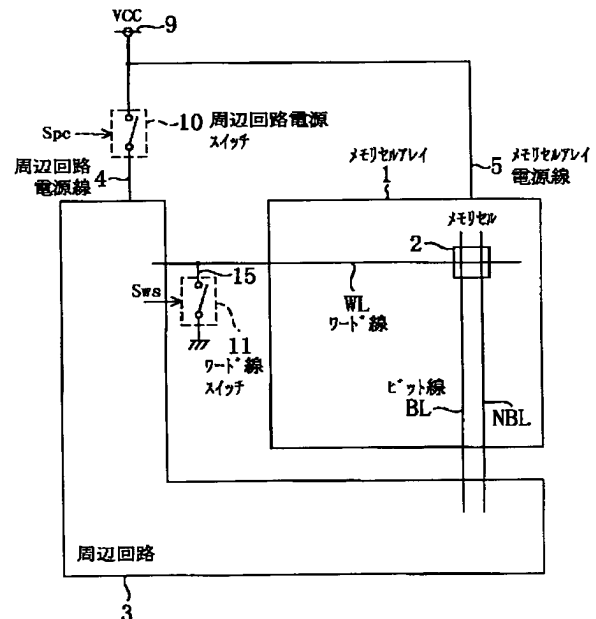
Fターム(参考) 5B015 HH01 HH03 JJ05 JJ07 JJ12
KA23 KA27 KB74 QQ04

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 オフリーク電流を低減し、かつデータの破壊を確実に防止するRAMとして機能する半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、メモリセルアレイ1、ワード線WL、ビット線BL、NBL、ワード線WLやビット線BL、NBLの電位を制御するための周辺回路3、電源電圧供給端子9と周辺回路3との間を接続するための周辺回路電源線4、周辺回路電源スイッチ10、メモリセルアレイ電源線5、ワード線WLと接地との間を接続する一定電圧供給配線15、一定電圧供給配線15に介設された電圧固定用のワード線スイッチ11などを備えている。周辺回路電源スイッチ10が切り換わる前に、ワード線スイッチ11を導通状態になるように制御してワード線WLの電位を固定することにより、スイッチ10の切り換わり時に発生する過渡電流に起因するメモリセル2のデータの破壊を防止する。



【特許請求の範囲】

【請求項1】 電源電圧を供給するための電源電圧供給部と、

上記電源電圧供給部に接続され、複数のメモリセルが行及び列に配置されてなるメモリセルアレイと、

上記メモリセルアレイの各行に沿ってそれぞれ延び、各行中の上記メモリセルに接続されて、アクセスされる行を選択するための複数のワード線と、

上記メモリセルアレイの各列に沿ってそれぞれ延び、各列中の上記メモリセルに接続されて、読み出し動作時または書き込み動作時にデータを伝達するビット線と、

上記メモリセルアレイ中のメモリセルに対してデータの書き込み動作または読み出し動作を行うための周辺回路と、

電源電圧を供給するための電源電圧供給部と、

上記メモリセルアレイと上記周辺回路とを互いに接続する周辺回路電源線と、

上記周辺回路電源線に介設され、上記周辺回路の動作時、非動作時に応じてそれぞれ導通状態と非導通状態とに切り換え可能に構成された周辺回路電源スイッチと、上記メモリセルのデータ保持状態に影響を与えない範囲の一定電圧を供給するための一定電圧供給部と、

上記複数のワード線と上記一定電圧供給部とを互いに接続させるための少なくとも1つの一定電圧供給配線と、上記少なくとも1つの一定電圧供給配線に介設され、上記周辺回路の動作時、非動作時に応じてそれぞれ非導通状態と導通状態とに切り換え可能に構成された電圧固定用スイッチとを備えている半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、

外部から入力されるスタンバイ信号を受けて、上記電圧固定用スイッチの導通状態－非導通状態間の切り換えの前に上記周辺回路電源スイッチが導通状態になっているように、上記周辺回路電源スイッチと上記電圧固定用スイッチとの切り換えタイミングを制御するタイミング制御回路をさらに備えていることを特徴とする半導体記憶装置。

【請求項3】 請求項1又は2記載の半導体記憶装置において、

上記周辺回路に配置され、上記ワード線を駆動するためのワードドライバーをさらに備え、

上記電圧固定用スイッチは、上記ワードドライバーの出力がハイインピーダンスのデータを出力するときに同期して導通状態に切り換えられることを特徴とする半導体記憶装置。

【請求項4】 請求項1～3のうちいずれか1つに記載の半導体記憶装置において、

上記ワード線は、上記メモリセルに直接接続されており、

上記一定電圧供給部は接地であることを特徴とする半導

体記憶装置。

【請求項5】 請求項1～4のうちいずれか1つに記載の半導体記憶装置において、

上記電圧固定用スイッチは、ゲート電極、ソース電極及びゲート電極を有するMOSトランジスタにより構成されており、

上記ソース電極及び上記ドレイン電極のうちいずれか一方が上記ワード線に他方が上記一定電圧供給配線にそれぞれ接続されており、

上記ゲート電極が導通状態－非導通状態間の切り換え用信号を受けるように構成されていることを特徴とする半導体記憶装置。

【請求項6】 請求項1～4のうちいずれか1つに記載の半導体記憶装置において、

上記電圧固定用スイッチは、ベース電極、エミッタ電極及びコレクタ電極を有するバイポーラトランジスタにより構成されており、

上記エミッタ電極及び上記コレクタ電極のうちいずれか一方が上記ワード線に他方が上記一定電圧供給配線にそれぞれ接続されており、

上記ベース電極が導通状態－非導通状態間の切り換え用信号を受けるように構成されていることを特徴とする半導体記憶装置。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体記憶装置において、

上記一定電圧供給配線及び上記電圧固定用スイッチは、上記複数のワード線のうちの各ワード線個別に設けられていることを特徴とする半導体記憶装置。

【請求項8】 請求項1～6のうちいずれか1つに記載の半導体記憶装置において、

上記一定電圧供給配線及び上記電圧固定用スイッチは、上記複数のワード線に共通化されているものであることを特徴とする半導体記憶装置。

【請求項9】 請求項1～8のうちいずれか1つに記載の半導体記憶装置において、

上記周辺回路は、一定のしきい値電圧を有するMOSトランジスタを配置して構成されており、

上記メモリセルは、上記周辺回路のMOSトランジスタよりも高いしきい値電圧を有するMOSトランジスタを配置して構成されていることを特徴とする半導体記憶装置。

【請求項10】 請求項1～9のうちいずれか1つに記載の半導体記憶装置において、

上記周辺回路は、一定のしきい値電圧を有するMOSトランジスタを配置して構成されており、

上記周辺回路電源スイッチは、ゲート電極、ソース電極及びゲート電極を有するとともに、上記周辺回路のMOSトランジスタよりも高いしきい値電圧を有するMOSトランジスタにより構成されており、

上記ソース電極及び上記ドレイン電極のうちいずれか一

方が上記電源電圧供給部に他方が上記周辺回路にそれぞれ接続されていて、

上記ゲート電極が導通状態－非導通状態間の切り換え用信号を受けるように構成されていることを特徴とする半導体記憶装置。

【請求項11】 請求項1～6のうちいずれか1つに記載の半導体記憶装置において、

上記ワード線は、メインワード線と、該メインワード線から分岐して延びる複数のサブワード線とからなり、上記各サブワード線には、当該サブワード線を駆動する反転ロジックのサブワードドライバーが介設されていて、

上記一定電圧供給部は電源電圧を供給するための電源電圧供給端子であり、

上記一定電圧供給配線は、上記メインワード線と上記電源電圧供給端子との間に設けられていることを特徴とする半導体記憶装置。

【請求項12】 請求項11記載の半導体記憶装置において、

上記周辺回路内に設けられ、上記メインワード線を駆動するメインワードドライバーをさらに備え、

上記電圧固定用スイッチは、上記メインワードドライバーの出力がハイインピーダンスのデータを出力するときに同期して導通状態に切り換えられることを特徴とする半導体記憶装置。

【請求項13】 請求項1～6のうちいずれか1つに記載の半導体記憶装置において、

上記ワード線は、メインワード線と、該メインワード線から分岐して延びる複数のサブワード線とからなり、上記各サブワード線には、当該サブワード線を駆動する反転ロジックのサブワードドライバーが介設されていて、

上記一定電圧供給部は接地であり、

上記一定電圧供給配線は、上記サブワード線と上記接地との間に設けられていることを特徴とする半導体記憶装置。

【請求項14】 請求項13記載の半導体記憶装置において、

上記電圧固定用スイッチは、上記サブワードドライバーの出力がハイインピーダンスのデータを出力するときに同期して導通状態に切り換えられることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ランダムアクセスメモリ（RAM）として機能する半導体記憶装置に関し、特に低消費電力型のRAMを実現するための対策に関する。

【0002】

【従来の技術】近年、携帯機器用LSIに代表されるよ

うに、半導体装置の高集積化、低消費電力化が進められている。半導体装置の中でもメモリあるいはメモリを搭載したシステムLSIなどの半導体装置においては、データの書き込みや読み出しをしていない待機モード中における半導体装置の消費電力の低減が要望されている。特に、電池等で長時間メモリの情報を保持する必要があるLSIにおいては、待機モード時のリーク電流の低減が強く求められている。

【0003】図13は、特開平7-254284号公報に開示されている従来の低消費電力を図った半導体記憶装置の構成を概略的に示すブロック図である。同図に示すように、従来の半導体記憶装置は、データを保持するためのメモリセル102を行及び列に配置して構成されるメモリセルアレイ101と、メモリセルアレイ101の行に沿って延びて行に配置されたメモリセル102をアクセスするためのワード線WLと、メモリセルアレイ101の列に沿って延びて列に配置されたメモリセル102に対するデータの入出力を行なうためのビット線BL、NBLと、ワード線WLやビット線BL、NBLの電位を制御してメモリセル102へのデータの書き込み及び読み出しを行うための周辺回路103と、電源電圧VCCを供給するための電源電圧供給端子109と、電源電圧供給端子109と周辺回路103との間を接続するための周辺回路電源線104と、この周辺回路電源線104に介設された周辺回路電源スイッチ110と、電源電圧供給端子109とメモリセルアレイ101との間を接続するためのメモリセルアレイ電源線105とを備えている。ここで、メモリセルアレイ電源線105は周辺回路電源スイッチ110をバイパスして電源電圧供給端子109に接続されている。

【0004】次に、この半導体記憶装置の動作について説明する。

【0005】半導体記憶装置が書き込み動作及び読み出し動作を行う動作モードにおいては、周辺回路電源スイッチ110をオン状態（導通状態）にして周辺回路電源線104から周辺回路103に電源電圧VCCを供給し、周辺回路103を活性状態にする。この時、メモリセルアレイ電源線105には常に電源電圧VCCが供給されているので、メモリセルアレイ101は常に活性状態にある。その後、外部からのアドレス入力により周辺回路103を介して特定のワード線WL及びビット線BL、NBLが選択され、選択されたメモリセル02に対して書き込み動作及び読み出し動作を行う。

【0006】一方、半導体記憶装置が書き込み動作及び読み出し動作を行わずメモリのデータを保持している待機モードにおいては、周辺回路電源スイッチ110をオフ状態（非導通状態）にして周辺回路電源線104から電源電圧VCCを遮断し、周辺回路103を非活性状態にする。この時にも、メモリセルアレイ電源線105には常に電源電圧VCCが供給されているので、メモ

リセルアレイ101のデータは保持されている。

【0007】図12は、一般的に採用されているCMOS型メモリセルの電気回路図である。同図において、120, 121はPMOSTランジスタからなるロードトランジスタ、122, 123はNMOSTランジスタからなるドライブトランジスタである。各ロードトランジスタ120, 121にはメモリセルアレイ電源線105から電源電圧VCCが供給され、各ドライブトランジスタ122, 123には接地電圧VCCが供給される。また、124, 125は、ワード線WLの信号をゲートに受けるNMOSTランジスタからなるアクセストランジスタである。各アクセストランジスタ124, 125は、アクセス信号であるワード線WLの信号をゲートに受けてオンオフ動作し、この動作により、データの書き込みやビット線BL, NBLへのデータの読み出しが制御される。

【0008】次に、このメモリセル102の機能について説明する。メモリセル102は、第1のノードN1の電位とその反転電位である第2のノードN2の電位によってデータを保持している。つまり、第1及び第2のノードN1, N2の電位のラッチ状態に応じてメモリセル102が保持しているデータが定まる。第1のノードN1の電位が高電位“H”であれば、ロードトランジスタ121はオフ状態、ドライブトランジスタ123はオン状態になり、第2のノードN2は低電位“L”になる。そのため、ロードトランジスタ120はオン状態に、ドライブトランジスタ122はオフ状態になり、第1のノードN1が高電位“H”を保持する一方、第2のノードN2が低電位“L”を保持することになる。そこで、例えば、第1のノードN1の電位が高電位“H”で第2のノードN2の電位が低電位“L”のときをデータ“1”とし、第1のノードN1の電位が低電位“L”で第2のノードN2の電位が高電位“H”のときをデータ“0”と定めておくことにより、メモリセル102に1ビットのデータを記憶させておくことができる。

【0009】読み出し動作時は、外部からのアドレス入力に応じて、メモリセル102を選択すべくワード線WLが高電位“H”に印加されると、アクセストランジスタ124, 125がオン状態になり、第1のノードN1とビット線BLとが互いに接続されるとともに、第2のノードN2とビット線NBLが互いに接続される。この動作の前にビット線BL, NBLは高電位“H”にプリチャージされているので、高電位“H”を保持している第1のノードN1の電位は変化しないが、低電位“L”を保持している第2のノードN2にはビット線NBLから電流が流れてビット線NBLの電位は低下する。このときの各ビット線BL, NBL間の電位差が周辺回路103に含まれる回路（作動増幅回路）によって検出されて、データとして出力される。データ“1”が保持されているときはビット線BLの電位が高電位“H”でビッ

ト線NBLの電位が低電位“L”となり、データ“0”が保持されているときはビット線BLの電位が低電位“L”でビット線NBLの電位が高電位“H”となる。

【0010】書込み動作時は、外部からのアドレス入力により、メモリセル102を選択するためにワード線WLは高電位“H”に印加され、アクセストランジスタのゲート電位は高電位“H”になる。そのため、アクセストランジスタ124, 125がオン状態になり、第1のノードN1とビット線BLとが互いに電氣的に接続されるとともに、第2のノードN2とビット線NBLとが互いに電氣的に接続される。一方、ビット線BL, NBLは、入力データに応じた相補的な電位が印加されている。例えば、データ“1”が書き込まれているメモリセル102にデータ“0”を書き込む（書き換える）場合には、ビット線BLに低電位“L”が、ビット線NBLに高電位“H”がそれぞれ印加されている。このとき、低電位“L”のビット線BLに接続されている第1のノードN1の電位が低下し、ロードトランジスタ121がオン状態に、ドライブトランジスタ123がオフ状態になり、第2のノードN2の電位は低電位“L”から高電位“H”になる。そのため、負荷トランジスタ120はオフ状態、ドライブトランジスタ122はオン状態になり、第1のノードN1は高電位“H”から低電位“L”を保持するように切り換えられる。

【0011】このような構成によって、待機モードのときには、周辺回路103への電源電圧VCCの供給が遮断されるので、オフリーク電流を低減することができる。一方、メモセルアレイ101にはメモリセルアレイ電源線105を経て常に電源電圧VCCが供給されているので、待機モード時にもメモリセル102のデータを保持することができる。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来のSRAM型半導体記憶装置において、メモリセルのデータが破壊されるという不具合があった。

【0013】図13に示す回路において、書き込み動作及び読み出し動作を行う動作モードからメモリセルのデータを保持している待機モードに移行し、またその逆の待機モードから動作モードに移行する際には、周辺回路電源スイッチ110がそれぞれオフ動作、オン動作（切り換え動作）することになるが、その際、周辺回路103に過渡電流が流れ、ワード線WLにスイッチングノイズが発生し、メモリセルのデータが破壊されることがある。つまり、周辺回路電源スイッチ110の切り換え動作が行なわれると、メモリセル102のデータを制御しているワード線WLやビット線BL, NBLを含む周辺回路103内の各ノードが過渡的に電源ノイズを発生するなど不安定な状態になる。そして、この電源ノイズによってワード線WLが一時的に高電位“H”になることで、メモリセル102のアクセストランジスタ124,

125をオン状態にし、メモリセル102に誤ったデータを書込むことが起こることがあった。

【0014】また、半導体記憶装置が記憶データを保持している待機モードにおけるリーク電流（オフリーク電流）が大きいという不具合もある。すなわち、図12の矢印に示すように、アクセストランジスタ124、125がオフ状態で、ビット線BL、NBLが高電位“H”にプリチャージされていれば、以下のようにオフリーク電流 I_{off1} 、 I_{off2} 、 I_{off3} が流れる。まず、ビット線NBLからアクセストランジスタ125、ドライブトランジスタ123を経て接地にオフリーク電流 I_{off1} が流れる。また、メモリセルアレイ電源線105からロードトランジスタ120とドライブトランジスタ122とを経て接地にオフリーク電流 I_{off2} が流れる。同様に、メモリセルアレイ電源線105からロードトランジスタ111とドライブトランジスタ123とを経て接地にオフリーク電流 I_{off3} が流れる。そして、このオフリーク電流によって、半導体記憶装置が待機モードであっても消費電力が増大することになり、携帯機器等に搭載される半導体記憶装置としては電池の寿命を著しく低下させる要因となっていた。

【0015】本発明の目的は、周辺回路の電源線にオン・オフ切り換えスイッチを設けてオフリーク電流を低減しようとする場合に、このスイッチの切り換え時に発生する電源ノイズによってメモリセルのデータが破壊されるのを防止する手段を講ずることにより、高い信頼性と低消費電力と実現することができる半導体記憶装置を提供することにある。

【0016】また、本発明は、さらに低消費電力型の半導体記憶装置を提供することをも目的としている。

【0017】

【課題を解決するための手段】本発明の半導体記憶装置は、電源電圧を供給するための電源電圧供給部と、上記電源電圧供給部に接続され、複数のメモリセルが行及び列に配置されてなるメモリセルアレイと、上記メモリセルアレイの各行に沿ってそれぞれ延び、各行中の上記メモリセルに接続されて、アクセスされる行を選択するための複数のワード線と、上記メモリセルアレイの各列に沿ってそれぞれ延び、各列中の上記メモリセルに接続されて、読み出し動作時または書き込み動作時にデータを伝達するビット線と、上記メモリセルアレイ中のメモリセルに対してデータの書き込み動作または読み出し動作を行うための周辺回路と、電源電圧を供給するための電源電圧供給部と、上記メモリセルアレイと上記周辺回路とを互いに接続する周辺回路電源線と、上記周辺回路電源線に介設され、上記周辺回路の動作時、非動作時に応じてそれぞれ導通状態と非導通状態とに切り換え可能に構成された周辺回路電源スイッチと、上記メモリセルのデータ保持状態に影響を与えない範囲の一定電圧を供給するための一定電圧供給部と、上記複数のワード線と上

記一定電圧供給部とを互いに接続させるための少なくとも1つの一定電圧供給配線と、上記少なくとも1つの一定電圧供給配線に介設され、上記周辺回路の動作時、非動作時に応じてそれぞれ非導通状態と導通状態とに切り換え可能に構成された電圧固定用スイッチとを備えている。

【0018】これにより、周辺回路の非動作時には周辺回路電源スイッチが非導通状態に切り換えられるので、上述のオフリーク電流の低減効果が得られる。しかも、周辺回路の非動作時には電圧固定用スイッチが導通状態になって、ワード線の電位が一定電圧に維持されるので、周辺回路電源スイッチの切り換え動作によって生じる過渡電流によるメモリセルのデータの破壊を有効に防止することができる。

【0019】上記半導体記憶装置において、外部から入力されるスタンバイ信号を受けて、上記電圧固定用スイッチの導通状態－非導通状態間の切り換えの前に上記周辺回路電源スイッチが導通状態になっているように、上記周辺回路電源スイッチと上記電圧固定用スイッチとの切り換えタイミングを制御するタイミング制御回路をさらに備えることにより、周辺回路電源スイッチの切り換え時に生じる過渡電流に起因するメモリセルのデータの破壊を防止する機能をより確実に得ることができる。

【0020】上記半導体記憶装置において、上記周辺回路に配置され、上記ワード線を駆動するためのワードドライバをさらに備え、上記電圧固定用スイッチを、上記ワードドライバの出力がハイインピーダンスのデータを出力するときに同期させて導通状態に切り換えることにより、ワード線の電位を安定して固定することができる。

【0021】上記ワード線が上記メモリセルに直接接続されている場合には、上記一定電圧供給部を接地とすることにより、簡素な構成で上述の効果を得ることができる。

【0022】上記半導体記憶装置において、上記電圧固定用スイッチを、ゲート電極、ソース電極及びゲート電極を有するMOSトランジスタにより構成し、上記ソース電極及び上記ドレイン電極のうちいずれか一方を上記ワード線に他方を上記一定電圧供給配線にそれぞれ接続して、上記ゲート電極により導通状態－非導通状態間の切り換え用信号を受けることにより、簡素な構造で電圧固定用スイッチを構成することができる。

【0023】また、上記半導体記憶装置において、上記電圧固定用スイッチを、ベース電極、エミッタ電極及びコレクタ電極を有するバイポーラトランジスタにより構成し、上記エミッタ電極及び上記コレクタ電極のうちいずれか一方を上記ワード線に他方を上記一定電圧供給配線にそれぞれ接続して、上記ベース電極により導通状態－非導通状態間の切り換え用信号を受けることにより、動作速度の高い電圧固定用スイッチが得られる。

【0024】上記一定電圧供給配線及び上記電圧固定用スイッチは、上記複数のワード線のうちの各ワード線個別に設けられていてもよいし、上記複数のワード線に共通化されているものであってもよい。

【0025】上記半導体記憶装置において、上記周辺回路を一定のしきい値電圧を有するMOSトランジスタを配置して構成しておき、上記メモリセルを、上記周辺回路のMOSトランジスタよりも高いしきい値電圧を有するMOSトランジスタを配置して構成することにより、オフリーク電流がMOSトランジスタのしきい値電圧に対して指数関数的に増大する特性を有することを利用して、オフリークの低減効果をさらに高めることができる。

【0026】上記半導体記憶装置において、上記周辺回路を、一定のしきい値電圧を有するMOSトランジスタを配置して構成し、上記周辺回路電源スイッチを、ゲート電極、ソース電極及びゲート電極を有するとともに、上記周辺回路のMOSトランジスタよりも高いしきい値電圧を有するMOSトランジスタにより構成し、上記ソース電極及び上記ドレイン電極のうちいずれか一方を上記電源電圧供給部に他方を上記周辺回路にそれぞれ接続しておいて、上記ゲート電極に導通状態—非導通状態間の切り換え用信号を受けるさせることにより、オフリーク電流の低減効果をより高めることができる。

【0027】上記半導体記憶装置において、上記ワード線は、メインワード線と、該メインワード線から分岐して延びる複数のサブワード線とからなり、上記各サブワード線には、当該サブワード線を駆動する反転ロジックのサブワードドライバーが介設されている場合には、上記一定電圧供給部を電源電圧を供給するための電源電圧供給端子とし、上記一定電圧供給配線を、上記メインワード線と上記電源電圧供給端子との間に設けることにより、比較的簡素な構成で、上述の効果を達成することができる。

【0028】また、上記半導体記憶装置において、上記ワード線は、メインワード線と、該メインワード線から分岐して延びる複数のサブワード線とからなり、上記各サブワード線には、当該サブワード線を駆動する反転ロジックのサブワードドライバーが介設されている場合には、上記一定電圧供給部を接地とし、上記一定電圧供給配線を上記サブワード線と上記接地との間に設けることにより、上述の効果を達成することができる。

【0029】それらの場合、上記電圧固定用スイッチを、上記メインワードドライバー又はサブワードドライバーの出力がハイインピーダンスのデータを出力するときに同期させて導通状態に切り換えることが好ましい。

【0030】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0031】（第1の実施形態）

—基本構造—

図1は、第1の実施形態における半導体記憶装置の構成を概略的に示すブロック図である。同図に示すように、本実施形態に係る半導体記憶装置は、データを保持するためのメモリセル2を行及び列に配置して構成されるメモリセルアレイ1と、メモリセルアレイ1の行に沿って延びて行に配置されたメモリセル2をアクセスするためのワード線WLと、メモリセルアレイ1の列に沿って延びて列に配置されたメモリセル2に対するデータの入出力を行なうためのビット線BL、NBLと、ワード線WLやビット線BL、NBLの電位を制御してメモリセル2へのデータの書き込み及び読み出しを行うための周辺回路3と、電源電圧VCCを供給するための電源電圧供給端子9と、電源電圧供給端子9と周辺回路3との間を接続するための周辺回路電源線4と、この周辺回路電源線4に介設され周辺回路電源制御信号Spcによって開閉が制御される周辺回路電源スイッチ10と、電源電圧供給端子9とメモリセルアレイ1との間を接続するためのメモリセルアレイ電源線5とを備えている。ここで、メモリセルアレイ電源線5は周辺回路電源スイッチ10をバイパスして電源電圧供給端子9に接続されている。なお、上記周辺回路3には、ロウデコーダ、コラムデコーダ、センス回路、書き込み回路などが含まれる。

【0032】本実施形態に係る半導体記憶装置の第1の特徴は以下の点である。まず、図1に示すように、ワード線WLと接地との間を接続する一定電圧供給配線15を設け、この一定電圧供給配線15の途中に電圧固定用スイッチであるワード線スイッチ11を介在させて、ワード線スイッチ制御信号Swsによりワード線スイッチ11の開閉を制御するようにしている。このワード線スイッチ11は、周辺回路電源スイッチ10がオフ状態（非導通状態）の時インワード線WLの電位を一定電圧である接地電圧VSSに固定するためのものである。そのために、後述するような周辺回路電源制御信号Spcとワード線スイッチ制御信号Swsとのタイミング制御により、周辺回路電源スイッチ10とワード線スイッチ11のオン・オフ動作のタイミングが最適になるように調整している。

【0033】図2は本実施形態に係るメモリセル2の構造を示す電気回路図である。同図において、20、21はPMOSトランジスタからなるロードトランジスタ、22、23はNMOSトランジスタからなるドライブトランジスタである。各ロードトランジスタ20、21にはメモリセルアレイ電源線5から電源電圧VCCが供給され、各ドライブトランジスタ22、23には接地電圧VCCが供給される。また、24、25は、ワード線WLの信号をゲートに受けるNMOSトランジスタからなるアクセストランジスタである。各アクセストランジスタ24、25は、アクセス信号であるワード線WLの信号をゲートに受けてオンオフ動作し、この動作により、

データの書き込みやビット線BL、NBLへのデータの読み出しが制御される。

【0034】次に、このメモリセル2の機能について説明する。メモリセル2は、第1のノードN1の電位とその反転電位である第2のノードN2の電位によってデータを保持している。つまり、第1及び第2のノードN1、N2の電位のラッチ状態に応じてメモリセル2が保持しているデータが定まる。第1のノードN1の電位が高電位“H”であれば、ロードトランジスタ21はオフ状態、ドライブトランジスタ23はオン状態になり、第2のノードN2は低電位Lになる。そのため、ロードトランジスタ20はオン状態に、ドライブトランジスタ22はオフ状態になり、第1のノードN1は高電位“H”をそのまま保持する一方、第2のノードN2も低電位“L”をそのまま保持することになる。例えば、第1のノードN1の電位が高電位“H”で第2のノードN2の電位が低電位“L”のときをデータ“1”とし、第1のノードN1の電位が低電位“L”で第2のノードN2の電位が高電位“H”のときをデータ“0”と定めておくことにより、メモリセルに情報を記憶させておくことができる。

【0035】以上のように、本実施形態に係るメモリセル2の基本的な構造は、前述の図12に示す従来のメモリセル102の構造とほぼ同じであるが、以下の点で従来のメモリセル102の構造とは異なる。すなわち、本実施形態に係る半導体記憶装置の第2の特徴は以下の点である。

【0036】図12に示す従来のメモリセル102中の各トランジスタがいずれも低しきい値電圧であるのに比べ、本実施形態に係るメモリセル2におけるデータを保持するトランジスタ、つまりロードトランジスタ20、21及びドライブトランジスタ22、23は、待機モード時のリーク電流（オフリーク電流）を抑制するために、高しきい値電圧のトランジスタとなっており、アクセストランジスタ24、25のみが、高速動作を実現するため低しきい値電圧のトランジスタとなっている。

【0037】また、周辺回路3中のトランジスタも、高速動作を実現するため低しきい値電圧のトランジスタとなっている。そして、電源電圧VCCは電源電圧供給端子9からメモリセルアレイの電源線5を経てメモリセルアレイ2に常に供給されているが、周辺回路3には周辺回路電源スイッチ10がオン状態のときのみ周辺回路電源線4を経て供給される。つまり、周辺回路電源スイッチ10のオン・オフによって、周辺回路電源線4への電源電圧VCCの供給が実行又は停止されると同時に、周辺回路3に接続されているメモリセル2のビット線BL、NBLにも特定の電圧を供給または遮断することができるように構成されている。

【0038】次に、本実施形態に係る半導体記憶装置の読み出し、書き込み、待機中における動作について説明

する。

【0039】まず、半導体記憶装置が書き込み動作及び読み出し動作を行う動作モードにおいては、周辺回路電源制御信号Spcに応じて周辺回路電源スイッチ10がオン状態（導通状態）になって、周辺回路電源線4に電源電圧VCCが供給され、周辺回路3が活性状態になる。このときには、ワード線スイッチ11がオフ状態（非導通状態）になるように制御されて、周辺回路3から供給される信号によってワード線WLの電位を高電位“H”または低電位“L”に選択できる状態になる。この時、メモリセルアレイ電源線5は常に電源電圧が供給されているので、メモリセルアレイは常に活性状態である。その後、外部からのアドレス入力により周辺回路3により特定のワード線WL及びビット線BL、NBLが選択され、所定のメモリセル2に対して書き込み動作及び読み出し動作を行う。ワード線スイッチ11が開かれているので、この動作は、上記従来の半導体記憶装置における動作と同じことになる。

【0040】ところが、以上の動作モードから書き込み動作及び読み出し動作を行わない待機モードに移行する時においては、以下のような動作が行なわれる。まず、周辺回路3が全てのワード線WLを選択していない状態、つまり、全てのワード線WLが低電位“L”の状態では、ワード線スイッチ制御信号Swsに応じてワード線スイッチ11がオン状態（導通状態）になっており、ワード線WLが接地電圧VSSに固定される。その後、周辺回路電源スイッチ10がオン状態からオフ状態（非導通状態）になり、周辺回路電源線4への電源電圧VCCの供給が停止され、周辺回路3が非活性状態になる。

【0041】また、待機モードから再び動作モードに移行するときにおいては、まず、周辺回路電源スイッチ10がオフ状態からオン状態に変わって周辺回路電源線4に電源電圧VCCが供給される。その後、ワード線スイッチ制御信号Swsに応じてワード線スイッチ11がオン状態からオフ状態に切り換わり、ワード線WLの電位が接地電圧に固定されていた状態から周辺回路3によって高電位“H”または低電位“L”に制御できる状態に変化する。

【0042】本実施形態に係る半導体記憶装置によれば、メモリセルアレイ1の電源線5は常に電源電圧VCCが供給されているので、動作モード及び待機モードに拘わらずメモリセル2内のデータは保持されている。また、半導体記憶装置が動作モードから待機モードに移行するとき及び待機モードから動作モードに移行するときに、周辺回路電源スイッチ10のオン動作及びオフ動作（切り換え動作）によってスイッチングノイズが発生しても、ワード線スイッチ11が閉じられているのでワード線WLの電位が接地電圧VSSに固定されていることから、メモリセル2内のデータが破壊されるという不具合を確実に防止することができる。

【0043】また、半導体記憶装置が待機モードの場合には、周辺回路電源スイッチ10がオフ状態（非導通状態）になっていることにより、周辺回路電源線4への電源電圧VCCの供給が停止されているので、周辺回路3が低しきい値電圧のトランジスタによって構成されているにも拘わらず、周辺回路3でのリーク電流を抑制することができる。また、周辺回路電源スイッチ10がオフ状態（非導通状態）になっていることにより、周辺回路3に電氣的に接続された状態となっているビット線BL、NBLの電位の上昇が阻止されるので、メモリセル2に流れ込むリーク電流Ioff1を抑制することができ

$$I_{off} = \lambda \cdot (W/L) \cdot 10^{-Vt/S}$$

ここで、 λ は定数、WはMOSTランジスタのチャネル幅、LはMOSTランジスタのチャネル長、Vtはしきい値電圧、Sはサブスレッショルドスイングで、ゲート・ソース間電圧が閾値電圧Vt以下の領域での電流電圧特性を表す値である。式(1)に示されるように、オフリーク電流はMOSTランジスタのしきい値電圧の減小に応じて指数関数的に増大する。

【0047】ただし、全てのトランジスタを高しきい値電圧のトランジスタによって構成すると、動作速度が低減するおそれがある。そこで、メモリセル2中のトランジスタのうち特定のトランジスタ20、21及び22、23のみを高しきい値電圧のトランジスタによって構成することにより、動作速度の低下を抑制しながらオフリーク電流の低減を図ることができる。

【0048】なお、本実施形態では、一定電圧供給配線15を接地に接続し、一定電圧として接地電圧VSSを供給するようにしているが、一定電圧としては、接地電圧VSSに限らずメモリセル2のデータ保持状態に影響を与えない範囲の低電圧を供給することが可能である。

【0049】—開閉制御の具体例—

次に、図1に示すワード線スイッチ11の開閉制御方法の具体例について説明する。

【0050】図3は、第1の具体例に係る開閉制御を行なうための方法を示す電気回路図である。同図に示すように、図1に示す周辺回路3内において、ロウデコーダの前段側には、ワード線WLを駆動するワードドライバー30（スリーステートバッファ）が設けられている。そして、ワード線スイッチ制御信号Swsにより、ワードドライバー30の動作と、ワード線スイッチ11の開閉とを制御することができる。この場合、1つのワード線スイッチ11により、メモリセルアレイ（又はメモリセルブロック）全体のワード線WLの電位を制御することができる。

【0051】図4は、第2の具体例に係る開閉制御を行なうための方法を示す電気回路図である。同図に示すように、本具体例においては、ロウデコーダの後段側で各ワード線WL毎に、ワードドライバー30とワード線スイッチ11とをそれぞれ設けている。

る。

【0044】さらに、データを保持するトランジスタであるロードトランジスタ20、21及びドライフトランジスタ22、23は、高しきい値電圧のトランジスタであるので待機モード時のリーク電流Ioff2、Ioff3をも抑えることができる。

【0045】従来の半導体記憶装置におけるリーク電流が大きい原因については種々考えられるが、本発明者は以下の点に注目した。一般的に、リーク電流は以下の式によって表される。

$$I_{off} = \lambda \cdot (W/L) \cdot 10^{-Vt/S} \quad (1)$$

【0052】上記第1、第2の具体例における開閉制御の内容について説明する。

【0053】半導体記憶装置が待機モードの場合には、ワード線制御信号Swsによってワード線スイッチ11をオン状態（導通状態）にして、ワード線WLの電位を接地電位VSSにするとともに、ワード線制御信号Swsによって周辺回路3に設けられているワードドライバー30の出力をハイインピーダンスの状態にする。また、半導体記憶装置が動作モードの場合には、ワード線制御信号Swsによってワード線スイッチ11をオフ状態（非導通状態）にして、ワード線WLの電位をワードドライバー30の出力電位にする。このとき、ワード線制御信号Swsにより、周辺回路3に設けられているワードドライバー30の出力が周辺回路3の動作に合わせて高電位“H”または低電位“L”に切り換わる状態に制御することができる。

【0054】—各スイッチの具体例—

図5(a)～(d)は、本実施形態における周辺回路電源スイッチ10及びワード線スイッチ11の具体的な構造の例を示す図である。

【0055】図5(a)は、ゲート電極G、ソース電極S及びドレイン電極Dを有するPMOSTランジスタにより構成された周辺回路電源スイッチ10a（又はワード線スイッチ11a）を示す図である。周辺回路電源スイッチ10aにおいては、ゲート電極Gに周辺回路電源制御信号Spcを受け、ソース電極Sが周辺回路3にドレイン電極Dが電源電圧供給端子9にそれぞれ接続されている。ワード線スイッチ11aにおいては、ゲート電極Gにワード線スイッチ制御信号Swsを受け、ドレイン電極Dがアドレス信号線もしくはワード線WLにソース電極Sが接地にそれぞれ接続されている。

【0056】図5(b)は、ベース電極B、エミッタ電極E及びコレクタ電極Cを有するPNP型バイポーラMOSTランジスタにより構成された周辺回路電源スイッチ10b（又はワード線スイッチ11b）を示す図である。周辺回路電源スイッチ10bにおいては、ベース電極Bに周辺回路電源制御信号Spcを受け、エミッタ電極Eが周辺回路3にコレクタ電極Cが電源電圧供給端子9

にそれぞれ接続されている。ワード線スイッチ 11 b においては、ベース電極 G にワード線スイッチ制御信号 S_{ws}を受け、コレクタ電極 C がアドレス信号線もしくはワード線 WL にエミッタ電極 E が接地にそれぞれ接続されている。

【0057】図 5 (c) は、ゲート電極 G、ソース電極 S 及びドレイン電極 D を有する NMOS トランジスタにより構成された周辺回路電源スイッチ 10 c (又はワード線スイッチ 11 c) を示す図である。周辺回路電源スイッチ 10 c においては、ゲート電極 G に周辺回路電源制御信号 S_{pc}を受け、ソース電極 S が周辺回路 3 にドレイン電極 D が電源電圧供給端子 9 にそれぞれ接続されている。ワード線スイッチ 11 c においては、ゲート電極 G にワード線スイッチ制御信号 S_{ws}を受け、ドレイン電極 D がアドレス信号線もしくはワード線 WL にソース電極 S が接地にそれぞれ接続されている。

【0058】図 5 (d) は、ベース電極 B、エミッタ電極 E 及びコレクタ電極 C を有する PNP 型バイポーラ MOS トランジスタにより構成された周辺回路電源スイッチ 10 d (又はワード線スイッチ 11 d) を示す図である。周辺回路電源スイッチ 10 d においては、ベース電極 B に周辺回路電源制御信号 S_{pc}を受け、エミッタ電極 E が周辺回路 3 にコレクタ電極 C が電源電圧供給端子 9 にそれぞれ接続されている。ワード線スイッチ 11 d においては、ベース電極 G にワード線スイッチ制御信号 S_{ws}を受け、コレクタ電極 C がアドレス信号線もしくはワード線 WL にエミッタ電極 E が接地にそれぞれ接続されている。

【0059】図 5 (a) ~ (d) に示す各スイッチングトランジスタは、容易に理解されるように、以下のときに導通状態 (オン状態、導通状態) となる。図 5

(a), (b) に示すものにおいては、PMOS トランジスタのゲート電極 G 及び PNP 型バイポーラトランジスタのベース電極 B が低電位 “L” の時に、各トランジスタは導通状態となる。図 5 (c), (d) に示すものにおいては、NMOS トランジスタのゲート電極 G 及び NPN 型バイポーラトランジスタのベース電極 B が高電位 “H” の時に、各トランジスタは導通状態となる。

【0060】特に、周辺回路電源スイッチ 10 b, 10 d (及びワード線スイッチ 11 b, 11 d) のごとく、PNP 型バイポーラトランジスタまたは NPN 型バイポーラトランジスタにより構成されているものは、高速のスイッチング動作を発揮することができる。また、周辺回路電源スイッチ 10 a, 10 c (及びワード線スイッチ 11 a, 11 c) のごとく、PMOS トランジスタまたは NMOS トランジスタにより構成されているものは、高集積化とプロセスコストの低減とを図ることができる。

【0061】さらに、図 5 (a), (c) に示す PMOS トランジスタ及び NMOS トランジスタを高しきい値

トランジスタで構成することにより、各トランジスタの非導通状態におけるリーク電流を抑えることができる。

【0062】一各スイッチの制御タイミングの具体例一図 6 は、周辺回路電源スイッチ 10 とワード線スイッチ 11 との開閉制御を行なうための構成を示すブロック回路図である。周辺回路 3 には、タイミング制御回路 6 が配設されており、このタイミング制御回路 6 は、半導体記憶装置を待機モードまたは動作モードにするスタンバイ信号 S_{sb}を受けて、周辺回路電源制御信号 S_{pc}とワード線スイッチ制御信号 S_{ws}とをあるタイミングで生成する。

【0063】図 7 は、スタンバイ信号 S_{sb}、周辺回路電源制御信号 S_{pc}及びワード線スイッチ制御信号 S_{ws}のタイミング関係を示すタイミングチャートである。以下、周辺回路電源スイッチ 10 とワード線スイッチ 11 との開閉制御のタイミングについて、図 7 を参照しながら説明する。ここでは、周辺回路電源スイッチ 10 及びワード線スイッチ 11 のいずれもが、PMOS トランジスタ (図 5 (a) 参照) によって構成されているものとする。

【0064】半導体記憶装置が動作モードの時には、スタンバイ信号 S_{sb}は立ち上がった高電位状態である。このとき、タイミング制御回路 6 によって周辺回路電源制御信号 S_{pc}を低電位状態にし、ワード線スイッチ制御信号 S_{ws}を高電位状態にすることによって、周辺回路電源スイッチ 10 をオンに、ワード線スイッチ 11 をオフにしている。

【0065】次に、半導体記憶装置が動作モードから待機モードに移るとき、スタンバイ信号 S_{sb}は高電位状態から低電位状態に立ち下がり、これに応じてタイミング制御回路 6 により以下のように制御される。まず、ワード線スイッチ制御信号 S_{ws}が高電位状態から低電位状態になり、これによってワード線スイッチ 11 はオフからオンになる。その後一定時間が経過したときに、周辺回路電源制御信号 S_{pc}が低電位状態から高電位状態になり、これによって周辺回路電源スイッチ 10 がオンからオフになる。

【0066】次に、半導体記憶装置が待機モードから動作モードに移るとき、スタンバイ信号 S_{sb}は低電位 L 状態から高電位 H 状態に立ち上がり、これに応じてタイミング制御回路 6 により以下のように制御される。まず、周辺回路電源制御信号 S_{pc}が高電位状態から低電位状態になり、これより周辺回路電源スイッチ 10 はオフからオンになる。その後一定時間が経過したときに、ワード線スイッチ制御信号 S_{ws}が低電位状態から高電位状態になり、これによってワード線スイッチ 11 がオンからオフになる。

【0067】以上のように、本具体例では、タイミング制御回路 6 により、必ずワード線スイッチ 11 がオン状態 (導通状態) になっているときに周辺回路電源スイッ

チ10のオン・オフ切り換わり動作を行なわせるように、周辺回路電源制御信号 S_{pc} 及びワード線スイッチ S_{ws} のタイミングを制御している。これにより、周辺回路電源スイッチ10のオン・オフ切り換わり動作によってスイッチングノイズが発生しても、ワード線WLの電位はワード線スイッチ11を介して接地電圧 V_{SS} に固定されているので、周辺回路電源スイッチ10の切り換わりに起因するメモリセル2のデータの破壊を確実に防止することができる。

【0068】ただし、周辺回路電源スイッチ10が切り換えられる前に必ずワード線スイッチ11がオンになっている必要はなく、例えば図7に示すタイミングチャートにおいて、周辺回路電源スイッチ10が待機モードになると同時にオフ状態になるものであってもよい。その場合にも、ワード線スイッチ11がほぼ同時にオン状態になることで、データの破壊防止効果はある程度得られる。

【0069】また、図示されていないが、タイミング制御回路6内に配置されるトランジスタのしきい値電圧を高しきい値にすることによって、リーク電流をさらに低減することができる。

【0070】(第2の実施形態) 図8は、第2の実施形態における半導体記憶装置の構成を概略的に示すブロック図である。同図において、図1と同じ部材には同じ符号を付している。

【0071】本実施形態に係る半導体記憶装置の特徴は、以下の点である。まず、メモリセルアレイ1の行に沿って延びるメインワード線MWLと、メインワード線MWLから分岐した複数のサブワード線SWLとが設けられている。そして、メインワード線MWLは単一のメインワードドライバ31によって駆動され、サブワード線SWLには、サブワード線SWLに接続されているメモリセル2を駆動するためのサブワードドライバ32が個別に配設されている。さらに、メモリセルアレイ電源線5から分岐してメインワード線MWLに接続される一定電圧供給配線16と、該一定電圧供給配線16に介設されるメインワード線スイッチ12とが設けられている。このメインワード線スイッチ12は、周辺回路電源スイッチ10がオフ状態の時メインワード線MWLの電位を電源電圧 V_{CC} に固定するためのものである。

【0072】また、本実施形態においても、メモリセル2の構成は第1の実施形態と同様に図2に示すとおりである。

【0073】次に、本実施形態における基本動作について説明する。

【0074】半導体記憶装置が書き込み動作及び読み出し動作を行う動作モードにおいては、周辺回路電源制御信号 S_{pc} に応じて周辺回路電源スイッチ10がオン状態になって周辺回路電源線4に電源電圧 V_{CC} が供給され、周辺回路3が活性状態になっている。また、メイン

ワード線スイッチ12がオフ状態になって周辺回路3から供給される信号によってメインワード線MWLが高電位状態又は低電位状態に選択できる状態になっている。この時、メモリセルアレイ電源線5には常に電源電圧 V_{CC} が供給されているので、メモリセルアレイ1中のメモリセル2及びサブワード線SWLは常に活性状態である。その後、外部からのアドレス入力に応じて、周辺回路3により特定のメインワード線MWL、サブワード線SWL及びビット線BL、NBLが選択され、所定のメモリセル2に対して書き込み動作、読み出し動作が行なわれる。

【0075】半導体記憶装置が動作モードから待機モードに移行する際には、まず、周辺回路3が全てのメインワード線MWLを選択していない状態、つまり、全てのメインワード線MWLの電位が高電位かつ全てのサブワード線SWLの電位が低電位となっている状態で、メインワード線スイッチ制御信号 S_{mw} に応じて、メインワード線スイッチ12がオフ状態からオン状態になり、メインワード線MWLの電位が電源電圧 V_{CC} に固定される。このとき、サブワード線SWLの電位は電源電圧 V_{CC} の反転電位(例えば0V)に固定される。その後、周辺回路電源制御信号 S_{pc} に応じて周辺回路電源スイッチ10がオン状態からオフ状態になって、周辺回路電源線4への電源電圧 V_{CC} の供給が遮断され、周辺回路3は非活性状態になる。

【0076】次に、半導体記憶装置が待機モードから再び動作モードに移行する際には、メインワード線スイッチ12がオンしている状態で、周辺回路電源制御信号 S_{pc} に応じて周辺回路電源スイッチ10がオフ状態からオン状態になって周辺回路電源線4に電源電圧 V_{CC} が供給される。その後、メインワード線スイッチ12がオン状態からオフ状態になり、メインワード線MWLの電位が電源電圧 V_{CC} に固定されていた状態から、周辺回路3によりメインワード線MWLの電位が高電位又は低電位に制御される状態になる。

【0077】本実施形態によれば、メモリセルアレイ電源線5には常に電源電圧 V_{CC} が供給されているので、半導体記憶装置が動作モードであるか待機モードであるかに関わらずメモリセル2のデータは保持されている。また、半導体記憶装置を動作モードから待機モードに移行するとき及び待機モードから動作モードに移行するときには、常にメインワード線スイッチ12がオン状態(導通状態)にある。したがって、周辺回路電源スイッチ10のオン・オフ切り換わり動作によってスイッチングノイズが発生しても、メインワード線MWLの電位は電源電圧 V_{CC} にサブワード線SWLの電位はその反転電位である低電位に固定されているので、メモリセル2のデータが破壊されるという不具合を防止することができる。

【0078】また、半導体記憶装置が待機モードの場合

には、周辺回路電源スイッチ10がオフ状態になっていることにより、周辺回路電源線4への電源電圧VCCの供給が停止されているので、周辺回路3が低い値電圧のトランジスタによって構成されているにも拘わらず、周辺回路3でのリーク電流を抑制することができる。また、周辺回路電源スイッチ10がオフ状態（非導通状態）になっていることにより、周辺回路3に電氣的に接続された状態となっているビット線BL、NBLの電位の上昇が阻止されるので、メモリセル2に流れ込むリーク電流I_{off1}を抑制することができる。

【0079】さらに、データを保持するトランジスタであるロードトランジスタ20、21及びドライブトランジスタ22、23は、高しきい値電圧のトランジスタであるので待機モード時のリーク電流I_{off2}、I_{off3}をも抑えることができる。

【0080】—開閉制御の具体例—

次に、図8に示すメインワード線スイッチ12の開閉制御の具体例について説明する。

【0081】図9は、具体例に係る開閉制御を行なうための方法を示す電気回路図である。同図に示すように、メインワード線スイッチ制御信号S_{mw}により、メインワードドライバ31の動作とメインワード線スイッチ12の開閉とを制御することができる。

【0082】なお、本具体例においても、周辺回路電源スイッチ10及びメインワード線スイッチ12は、上記第1の実施形態中で説明した各種トランジスタにより構成することができる（図5（a）～（d）参照）。また、図6に示すワード線スイッチ制御信号S_{ws}をメインワード線スイッチ制御信号S_{mw}に入れ替えて、タイミング制御回路6により、メインワード線スイッチ制御信号S_{mw}と周辺回路電源制御信号S_{pc}のタイミングを制御することができる。その結果、半導体記憶装置は以下のように動作する。

【0083】半導体記憶装置が待機モードにある場合には、メインワード線スイッチ制御信号S_{mw}によって、メインワード線スイッチ12がオン状態に制御され、メインワード線MWLの電位が電源電位VCCになるとともに、周辺回路3に設けられているメインワードドライバ31がオン動作をするように制御されてその出力がハイインピーダンスの状態になる。また、半導体記憶装置が動作モードにある場合には、メインワード線スイッチ制御信号S_{mw}により、メインワード線スイッチ12がオフ状態に制御され、メインワード線MWLの電位がメインワードドライバ31の出力に応じた電位になるとともに、周辺回路3に設けられているメインワードドライバ31の出力は周辺回路3の動作に応じて、高電位又は低電位に変化する。

【0084】この具体例によれば、半導体記憶装置が動作モードから待機モードに移行するとき、及び待機モードから動作モードに移行するときに、周辺回路電源ス

witch10のオン・オフ切り換わり動作によってスイッチングノイズが発生しても、メインワードドライバ31の出力はハイインピーダンスの状態である。したがって、メインワード線MWLに過大なスイッチングノイズによる電流が発生することがないので、この切り換わり時におけるメモリセル2のデータが破壊されるという不具合を回避することができる。

【0085】（第3の実施形態）図10は、第3の実施形態における半導体記憶装置の構成を概略的に示すブロック図である。同図において、図1と同じ部材には同じ符号を付している。

【0086】本実施形態に係る半導体記憶装置の特徴は、以下の点である。まず、メモリセルアレイ1中の行に沿って延びるメインワード線MWLと、メインワード線MWLから分岐した複数のサブワード線SWLとが設けられている。そして、サブワード線SWLには、サブワード線SWLに接続されているメモリセル2を駆動するためのサブワードドライバ32が個別に配設されている。さらに、サブワード線SWLと接地との間を接続する一定電圧供給配線17と、一定電圧供給配線17に介設されサブワード線スイッチ制御信号S_{sw}によって開閉が制御されるサブワード線スイッチ13とが設けられている。このサブワード線スイッチ13は、周辺回路電源スイッチ10がオフ状態の時サブワード線SWLの電位を接地電圧VSSに固定するためのものである。なお、本実施形態においても、メインワード線MWLは単一のメインワードドライバ（図示せず）によって駆動されるのが一般的であるが、メインワードドライバは必ずしもなくてもよい。

【0087】また、本実施形態においても、メモリセル2の構成は第1の実施形態と同様に図2に示すとおりである。

【0088】次に、本実施形態における基本動作について説明する。

【0089】半導体記憶装置が書き込み動作及び読み出し動作を行う動作モードにおいては、周辺回路電源制御信号S_{pc}に応じて周辺回路電源スイッチ10がオン状態になって周辺回路電源線4に電源電圧VCCが供給され、周辺回路3が活性状態になっている。また、サブワード線スイッチ13がオフ状態になって周辺回路3から供給される信号によってサブワード線SWLが高電位状態又は低電位状態に選択できる状態になっている。この時、メモリセルアレイ電源線5には常に電源電圧VCCが供給されているので、メモリセルアレイ1中のメモリセル2及びサブワード線SWLは常に活性状態である。その後、外部からのアドレス入力に応じて周辺回路3を介して特定のメインワード線MWL、サブワード線SWL及びビット線BL、NBLが選択され、所定のメモリセル2に対して書き込み動作及び読み出し動作が行なわれる。

【0090】半導体記憶装置が動作モードから待機モードに移行する際には、まず、周辺回路3が全てのメインワード線MWLを選択していない状態、つまり、全てのメインワード線MWLの電位が高電位であり、全てのサブワード線SWLの電位が低電位となっている状態で、サブワード線スイッチ制御信号Sswに応じて、サブワード線スイッチ13がオフ状態からオン状態になり、サブワード線SWLの電位が接地電圧VSSに固定される。その後、周辺回路電源制御信号Spcに応じて周辺回路電源スイッチ10がオン状態からオフ状態になって、周辺回路電源線4への電源電圧VCCの供給が遮断され、周辺回路3は非活性状態になる。

【0091】次に、半導体記憶装置が待機モードから再び動作モードに移行する際には、サブワード線スイッチ13がオンしている状態で、周辺回路電源制御信号Spcに応じて周辺回路電源スイッチ10がオフ状態からオン状態になって周辺回路電源線4に電源電圧VCCが供給される。その後、サブワード線スイッチ13がオン状態からオフ状態になり、サブワード線SWLの電位が接地電圧VSSに固定されていた状態から、周辺回路3によりサブワード線SWLの電位が高電位又は低電位に制御される状態になる。

【0092】本実施形態によれば、メモリセルアレイ電源線5には常に電源電圧VCCが供給されているので、半導体記憶装置が動作モードであるか待機モードであるかに関わらずメモリセル2のデータは保持されている。また、半導体記憶装置を動作モードから待機モードに移行するとき及び待機モードから動作モードに移行するときには、常にサブワード線スイッチ13がオン状態（導通状態）にある。したがって、周辺回路電源スイッチ10のオン・オフ切り換わり動作によってスイッチングノイズが発生しても、サブワード線SWLの電位は接地電圧VSSに固定されているので、メモリセル2のデータが破壊されるという不具合を防止することができる。

【0093】なお、本実施形態では、一定電圧供給配線15を接地に接続し、一定電圧として接地電圧VSSを供給するようにしているが、一定電圧としては、接地電圧VSSに限らずメモリセル2のデータ保持状態に影響を与えない範囲の低電圧を供給することが可能である。

【0094】また、半導体記憶装置が待機モードの場合には、周辺回路電源スイッチ10がオフ状態になっていることにより、周辺回路電源線4への電源電圧VCCの供給が停止されているので、周辺回路3が低しきい値電圧のトランジスタによって構成されているにも拘わらず、周辺回路3でのリーク電流を抑制することができる。また、周辺回路電源スイッチ10がオフ状態（非導通状態）になっていることにより、周辺回路3に電気的に接続された状態となっているビット線BL、NBLの電位の上昇が阻止されるので、メモリセル2に流れ込むリーク電流Ioff1を抑制することができる。

【0095】さらに、データを保持するトランジスタであるロードトランジスタ20、21及びドライブトランジスタ22、23は、高しきい値電圧のトランジスタであるので待機モード時のリーク電流Ioff2、Ioff3をも抑えることができる。

【0096】一開閉制御の具体例一

次に、図10に示すサブワード線スイッチ13の開閉制御の具体例について説明する。

【0097】図11は、具体例に係る開閉制御を行なうための方法を示す電気回路図である。同図に示すように、サブワード線スイッチ制御信号Sswにより、サブワードドライバー32の動作とサブワード線スイッチ13の開閉とを制御することができる。

【0098】なお、本具体例においても、周辺回路電源スイッチ10及びサブワード線スイッチ13は、上記第1の実施形態中で説明した各種トランジスタにより構成することができる（図5（a）～（d）参照）。また、図6に示すワード線スイッチ制御信号Swsをサブワード線スイッチ制御信号Sswに入れ替えて、タイミング制御回路6により、サブワード線スイッチ制御信号Sswと周辺回路電源制御信号Spcのタイミングを制御することができる。その結果、半導体記憶装置は以下のように動作する。

【0099】半導体記憶装置が待機モードにある場合には、サブワード線スイッチ制御信号Sswによって、サブワード線スイッチ13がオン状態に制御され、サブワード線SWLの電位が接地電位VSSになるとともに、サブワードドライバー32がオン動作をするように制御されてその出力がハイインピーダンスの状態になる。また、半導体記憶装置が動作モードにある場合には、サブワード線スイッチ制御信号Sswにより、サブワード線スイッチ13がオフ状態に制御され、サブワード線SWLの電位がサブワードドライバー32の出力に応じた電位になるとともに、メモリセルアレイ1中に設けられているサブワードドライバー32の出力は周辺回路3の動作に応じて、高電位又は低電位に変化する。

【0100】この具体例によれば、半導体記憶装置が動作モードから待機モードに移行するとき、及び待機モードから動作モードに移行するときに、周辺回路電源スイッチ10のオン・オフ切り換わり動作によってスイッチングノイズが発生しても、サブワードドライバー32の出力はハイインピーダンスの状態である。したがって、サブワード線SWLに過大なスイッチングノイズによる電流が発生することがないので、この切り換わり時におけるメモリセル2のデータが破壊されるという不具合を回避することができる。

【0101】また、メモリセルアレイ1内にあるサブワードドライバー32を構成するトランジスタのしきい値電圧を高しきい値にすることにより、メモリセルアレイに流れるリーク電流を抑制することができる。

【0102】なお、上記各実施形態においては、半導体記憶装置としてSRAMについて説明したが、本発明はかかる実施形態に限定されるものではない。例えば、スイッチングトランジスタとキャパシタとをメモリセルに配置したDRAMにおいても、オフリークを低減すべく周辺回路電源スイッチを設けると、待機モードの際にデータの破壊を生じることがあり、リフレッシュ機能だけではデータを保持できないことがあり得る。かかる場合にも、本発明を適用することで、データの破壊を確実に防止することができる。

【0103】

【発明の効果】本発明の半導体記憶装置によれば、メモリセルアレイとメモリセルの読み出し及び書き込みを制御する周辺回路とを備えた半導体記憶装置において、周辺回路の電源線に待機モード時に非導通状態になるスイッチを設けるとともに、ワード線に待機モード時に導通する電圧固定用スイッチを設けることにより、電源切り換え時のノイズによるメモリセルデータの破壊を防止してデータを保持し、かつ低消費電力を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるSRAM型半導体記憶装置の構成を示すブロック回路図である。

【図2】第1～第3の実施形態におけるメモリセルアレイ中のSRAMメモリセルの構成を示す電気回路図である。

【図3】第1の実施形態におけるワード線スイッチの開閉制御の第1の具体例を示す図である。

【図4】第1の実施形態におけるワード線スイッチの開閉制御の第2の具体例を示す図である。

【図5】順に、周辺回路電源スイッチ、ワード線スイッチをPMOSTランジスタ、PNPバイポーラトランジスタ、NMOSTランジスタ、NPNバイポーラトランジスタにより構成した具体例を示す図である。

【図6】第1の実施形態における周辺回路電源制御信号とワード線スイッチ制御信号とのタイミングを制御するための回路の具体例を示す図である。

【図7】第1の実施形態における周辺回路電源制御信号とワード線スイッチ制御信号とのタイミング制御の具体例を示すタイミングチャート図である。

【図8】本発明の第2の実施形態におけるメインワード線とサブワード線とを有する半導体記憶装置の構成を示すブロック回路図である。

すブロック回路図である。

【図9】第2の実施形態におけるメインワード線スイッチの開閉制御の具体例を示す図である。

【図10】本発明の第3の実施形態におけるメインワード線とサブワード線とを有する半導体記憶装置の構成を示すブロック回路図である。

【図11】第2の実施形態におけるサブワード線スイッチの開閉制御の具体例を示す図である。

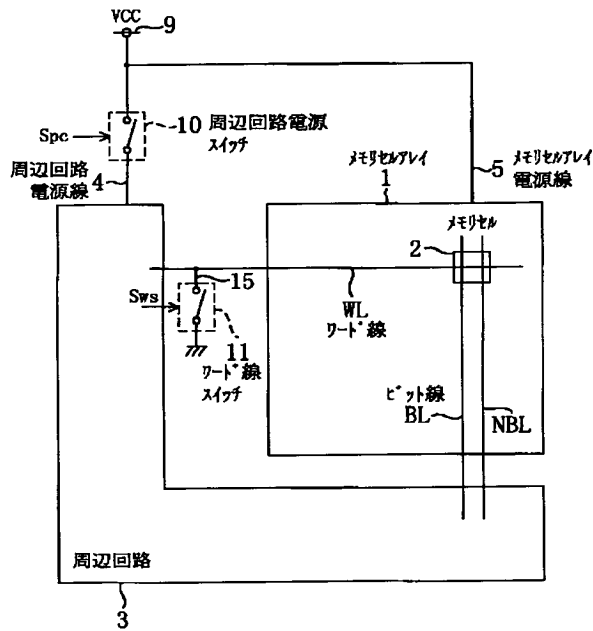
【図12】従来のSRAM型半導体記憶装置の構成を示すブロック回路図である。

【図13】従来のメモリセルアレイ中のSRAMメモリセルの構成を示す電気回路図である。

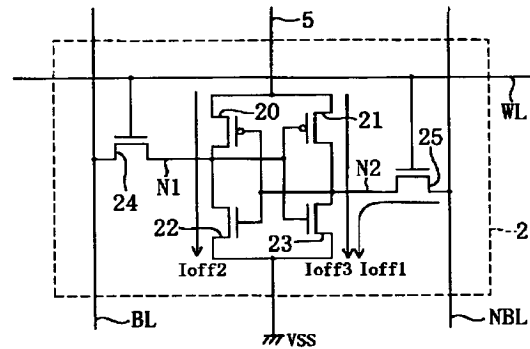
【符号の説明】

- 1 メモリセルアレイ
- 2 メモリセル
- 3 周辺回路
- 4 周辺回路電源線
- 5 メモリセルアレイ電源線
- 6 タイミング制御回路
- 9 電源電圧供給端子
- 10 周辺回路電源スイッチ
- 11 ワード線スイッチ
- 12 メインワード線スイッチ
- 13 サブワード線スイッチ
- 15～17 一定電圧供給配線
- 20, 21 ロードトランジスタ
- 22, 23 ドライブトランジスタ
- 24, 25 アクセストランジスタ
- 30 ワードドライバー
- 31 メインワードドライバー
- 32 サブワードドライバー
- S_{WS} ワード線スイッチ制御信号
- S_{PC} 周辺回路電源制御信号
- S_{SB} スタンバイ信号
- S_{MW} メインワード線スイッチ制御信号
- S_{SW} サブワード線スイッチ制御信号
- WL ワード線
- MWL メインワード線
- SWL サブワード線
- BL、NBL ビット線
- VCC 電源電圧
- VSS 接地電圧

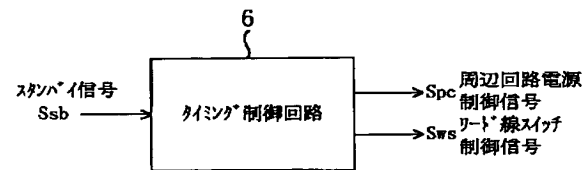
【図1】



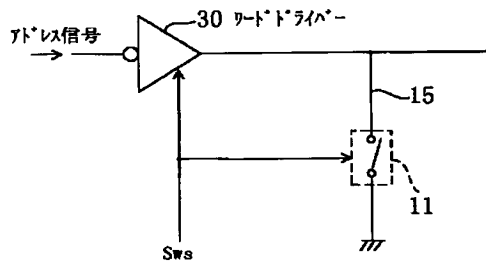
【図2】



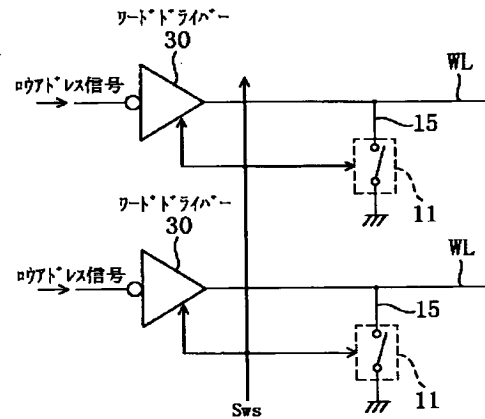
【図6】



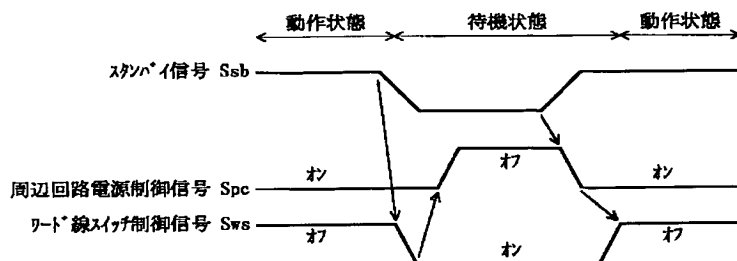
【図3】



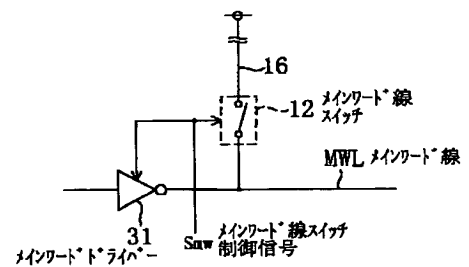
【図4】



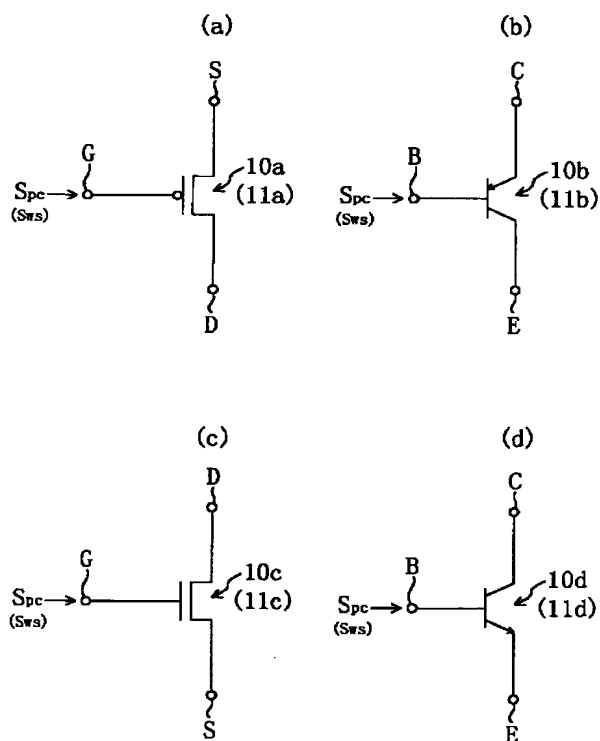
【図7】



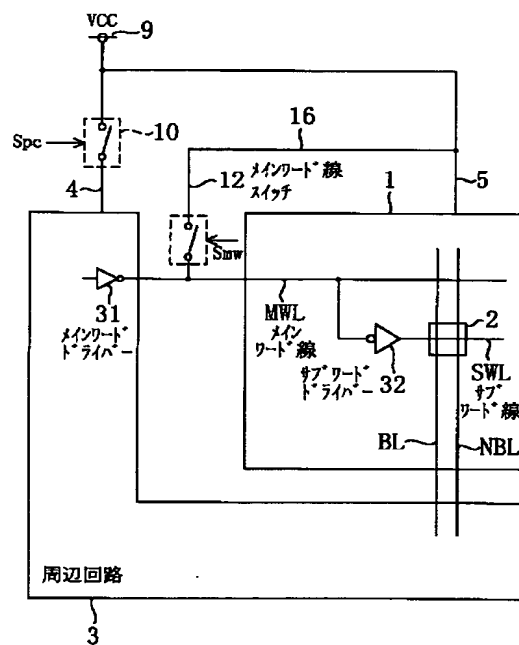
【図9】



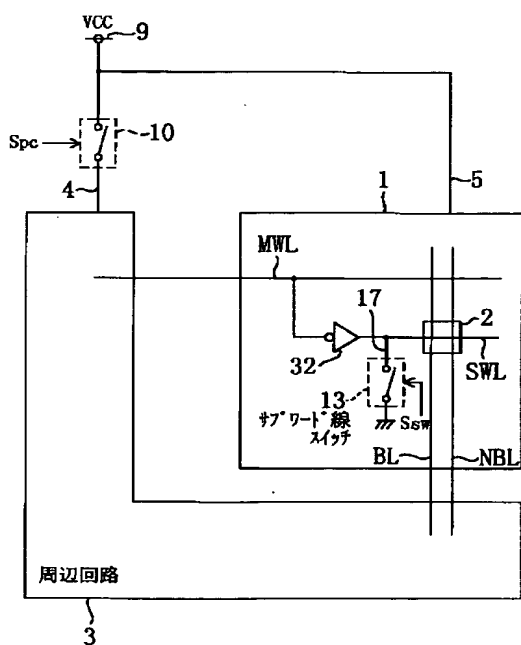
【図5】



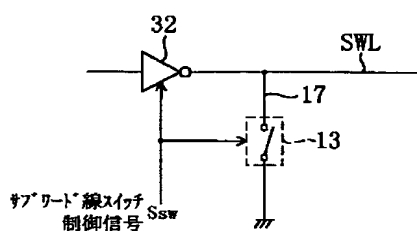
【図8】



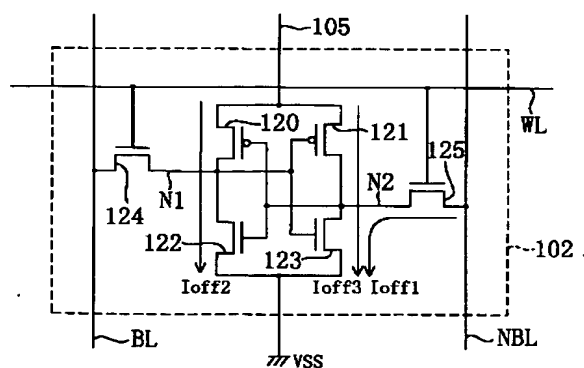
【図10】



【図11】



【図12】



【図 13】

